

## 2023 年高端器件与芯片重大专项 项目申报指南

项目一：车规级安全气囊点火驱动芯片研发及产业化

**1.拟解决问题：**面向高、中、低全系车型对安全气囊点火芯片的需求，开展车规级安全气囊点火芯片核心架构设计研究，研究高精度点火驱动设计、片上电源管理设计、高精度振荡器设计、高可靠的安全控制机制设计、PSI5/LIN 接口设计等关键技术，研发多通道安全气囊点火芯片，并开展样件及上车验证，实现安全气囊点火芯片国产替代。

**2.考核指标：**研发芯片产品 $\geq 2$ 款。四通道安全气囊点火芯片：输入电压 6V-18V（单电源），通道数为 4，输出电流 $\geq 1.2A@2ms$ ，工作电流 $\leq 100mA$ ，支持 SPI 接口。十六通道安全气囊点火芯片：输入电压 6V-18V（单电源），输出电流 $\geq 1.85A@0.7ms$ 、 $1.2A@2ms$ （可配置），工作电流 $\leq 200mA$ ，PSI5 接口 $\geq 6$ ，支持 LIN、SPI 等通信接口，具备自诊断功能。授权发明专利 $\geq 2$ 项，联合培养博士、硕士等高水平人才 $\geq 2$ 人。项目执行期内销售安全气囊点火芯片 $\geq 1$ 万颗。

**3.组织方式：**公开竞争。

**4.申报条件：**企业牵头，鼓励产学研合作。

**5.资助强度：**拟支持 1 项，市级财政经费资助不超过 1500

万元，承担单位出资不低于 7500 万元。

**6.实施周期：**不超过 4 年。

**项目二：新能源汽车电气系统关键芯片技术与产业化**

**1.拟解决问题：**面向新能源汽车电气系统车规级关键芯片设计、工艺及可靠性需求，建设高可靠 SOI 基 BCD 工艺平台，开展基于 SOI 型材料的多维沟道折叠栅新型高压 LDMOS 器件结构设计与工艺研究；研究中压高效率 DC/DC 转换器设计技术以及低功耗低压差线性稳压器设计技术；研究耐高温 SiC 芯片及模块设计、封装集成和多物理场耦合机制。研发系列车规级电气系统关键芯片并示范应用。

**2.考核指标：**建立一套面向行业开放代工的车规级 SOI 高压 BCD 工艺平台，线宽 $\geq 0.35\mu\text{m}$ ，支持 5V CMOS、40V NMOS/PMOS/DMOS、SOI 全介质隔离、多晶电阻等器件与工艺。低静态电流 LDO 芯片：输入电压 40V，输出电流分别为  $\geq 150\text{mA}/300\text{mA}/450\text{mA}$ ，静态电流  $\leq 25\mu\text{A}@150\text{mA}\cdot 25^\circ\text{C}$ ，系列产品 $\geq 5$ 款。高压 DC/DC 芯片：输入电压 36V，输出电流分别为  $\geq 600\text{mA}/2.5\text{A}$ ；输入电压 42V，输出电流 $\geq 1\text{A}$ ，最高转换效率 $\geq 85\%$ ，系列产品 $\geq 3$ 款。SiC 芯片及模块：芯片击穿电压 $\geq 1200\text{V}$ ，导通电阻 $\leq$

17mΩ；模块的最高工作结温 $\geq 175^{\circ}\text{C}$ ，电流 $\geq 480\text{A}$ ，热阻 $\leq 0.2\text{K/W}$ ；覆铜 $\text{Si}_3\text{N}_4$ 散热基板的热导率 $\geq 90\text{W/m.K}$ 。授权发明专利 $\geq 2$ 项，联合培养博士、硕士等高水平人才 $\geq 3$ 人。项目执行期内销售额 $\geq 5000$ 万元。

**3.组织方式：**公开竞争。

**4.申报条件：**企业牵头，鼓励产学研合作。

**5.资助强度：**拟支持1项，市级财政经费资助不超过2500万元，承担单位出资不低于12500万元。

**6.实施周期：**不超过4年。

**7.其他说明：**牵头单位组建创新联合体开展协同攻关。

**项目三：车载高性能存算一体智能驾驶芯片关键技术研究与应用**

**1.拟解决问题：**针对传统冯诺依曼计算机体系架构中的内存带宽限制整体智能驾驶芯片使用效能的瓶颈问题，研究存算一体化架构下的高算力低功耗车规级芯片技术。设计异构计算车载人工智能芯片，研发核心存算一体计算单元并应用于异构计算芯片，开发配套的专用编译器，研发模块级、芯片级仿真验证环境和验证案例，进行芯片车规认证和控制器开发。研发车规高性能存算一体化的智能驾驶芯片并示范应用。

**2.考核指标：**车规高性能存算一体 SoC 芯片的单芯片算力  $\geq 72\text{Tops@int8}$ (稠密算力)；CPU 计算能力  $\geq 150\text{K DMIPS}$ ；车规级 ISP 单元，处理能力  $\geq 1.5\text{Gpix/s}$ ，支持 8Mpix 图像数据；片外内存最高带宽  $\geq 100\text{GB/s}$ ；芯片整体功耗  $\leq 30\text{W}$ ；基于 MS CoCo 数据集 ResNet50 处理能力  $\geq 3000\text{fps}$ 。编译器实现原子算子数量  $\geq 20$  个，实现验证案例数  $\geq 100$  个，交付上车样机  $\geq 5$  套。较目前主流智能驾驶芯片降低成本  $\geq 20\%$ ，降低功耗  $\geq 20\%$ 。授权发明专利  $\geq 4$  项、软件著作权  $\geq 3$  项，制定团体标准  $\geq 1$  项。项目执行期内上车验证应用车载高性能存算一体智能驾驶芯片  $\geq 900$  颗。

**3.组织方式：**公开竞争。

**4.申报条件：**企业牵头，鼓励产学研合作。

**5.资助强度：**拟支持 1 项，市级财政经费资助不超过 2500 万元承担单位出资不低于 12500 万元。

**6.实施周期：**不超过 4 年。

**项目四：卫星互联网终端应用的 K/Ka 波段射频收发通道核心芯片关键技术与产业化**

**1.拟解决问题：**面向卫星互联网终端用高性能射频芯片需求，搭建先进的高性能射频芯片设计平台，研究硅基 K/Ka 波段毫米波集成电路设计、高线性变频器设计、高速高精度

转换器设计、高性能毫米波频率合成器设计和卫星互联网核心芯片应用技术等共性关键技术，以及第三代半导体氮化镓（GaN）功率放大器的设计及芯片封装工艺技术，研发系列高性能射频芯片，并在卫星互联网终端行业示范应用。

**2.考核指标：**研发卫星互联网终端核心芯片 $\geq 8$ 款。K波段波束赋形接收芯片：工作频段 17.7GHz~21.2GHz，波束数量 $\geq 2$ ，RMS 移相精度 $\leq 4^\circ$ ；Ka波段波束赋形发射芯片：工作频段 27.5GHz~31GHz，波束数量 $\geq 2$ ，RMS 移相精度 $\leq 4^\circ$ ；频率源芯片：归一化底板噪声 $\leq -230\text{dBc/Hz}$ ，最高鉴相频率（小数分频） $\geq 200\text{MHz}$ ；下变频芯片：工作频率 17.7GHz~21.2GHz，输入（P-1） $\geq 10\text{dBm}$ ；GaN功率放大器芯片：工作频段 28GHz~30GHz，饱和输出功率 $\geq 37\text{dBm}$ ；ADC转换器：信噪比 $\geq 42\text{dB}$ ，动态范围 $\geq 50\text{dB}$ ，有效位数 $\geq 6.5$ 位，功耗 $\leq 6.5\text{W}$ ；DAC转换器：分辨率 16bit，转换速率 12GSPS，无杂散动态范围 $\geq 52\text{dBc}$ ；上变频器：工作频率 27.5GHz~31GHz，输出（P-1） $\geq 10\text{dBm}$ 。授权发明专利 $\geq 2$ 项；项目执行期内销售量 $\geq 10$ 万只，销售额 $\geq 3000$ 万元。

**3.组织方式：**公开竞争。

**4.申报条件：**企业牵头，鼓励产学研合作。

**5.资助强度：**拟支持 1 项，市级财政经费资助不超过 2000 万元，承担单位出资不低于 10000 万元。

**6.实施周期：**不超过 3 年。



## 项目五：卫星互联网终端通导一体数字基带芯片关键技术与产业化

**1.拟解决问题：**面向智慧物联、智慧交通、智慧海洋等应用场景对低轨卫星通信及高精度导航的需求，开展通导一体化融合增强、基带一体化融合处理、芯片一体化架构设计等关键技术研究；研究通导一体化关键核心算法，设计多模基带数据高效交互网络，开发专用通导应用软件，研制低功耗通导一体化终端设备，并在多场景示范应用。

**2.考核指标：**通导一体数字基带芯片工艺制程 $\leq 55\text{nm}$ ，平均功耗 $\leq 600\text{mW}$ ；支持导航信息增强，首次定位时间 $\leq 10\text{s}$ ，定位精度 $\leq 1\text{m}$ （水平， $1\sigma$ ）、 $1\text{m}$ （垂直， $1\sigma$ ）；支持快速精密定位，定位精度 $\leq 0.1\text{m}$ （水平， $1\sigma$ ）、 $0.2\text{m}$ （垂直， $1\sigma$ ），收敛时间 $\leq 2\text{min}$ 。具有星网窄带通信、卫星导航等功能，支持星网窄带系统标准语音速率，支持星网窄带系统、GNSS增强信息广播和业务数据速率。较国内外同类型产品降低成本 $\geq 5\%$ 。培养卫星互联网高端人才10人，其中高级工程师6名，博士4名。授权发明专利 $\geq 2$ 项，软件著作权 $\geq 2$ 项。项目执行期内应用示范场景 $\geq 2$ 种，销售量 $\geq 10$ 万颗芯片、5万个模组或终端，销售及服务费 $\geq 1.5$ 亿元。

**3.组织方式：**公开竞争。

**4.申报条件：**企业牵头，鼓励产学研合作。

**5.资助强度：**拟支持1项，市级财政经费资助不超过1000

万元，承担单位出资不低于 5000 万元。

**6.实施周期：**不超过 3 年。

**项目六：面向宽带通信的高性能数据转换芯片与电压转换芯片研发**

**1.拟解决问题：**针对我国宽带通信高端模拟芯片采样速率低、信噪比（SNR）和无杂散动态范围（SFDR）差、电压转换效率和噪声特性差等问题，研究超高速 ADC 与 DAC 架构设计和密集交织失配消除技术，以及低噪声 DC/DC 和宽频带高 PSR 设计技术，研发系列高性能数据转换芯片与电压转换芯片并在宽带通信领域示范应用。

**2.考核指标：**研发核心芯片 $\geq 5$ 款。超高速 ADC 芯片精度 8 位，采样率 $\geq 128\text{GS/s}$ ，有效位 $\geq 5$ 位，SFDR $\geq 39\text{dB}$ ；超高速 DAC 芯片精度 16 位，转换速率 $\geq 20\text{GS/s}$ 。宽带大动态范围 ADC 芯片精度 12~14 位，采样率 $\geq 3\text{GSps}$ ，SFDR $\geq 70\text{dB}$ ，SNR $\geq 60\text{dB}$ 。低噪声电压转换芯片：芯片 1 输入电压 3~17V，输出电流 $\geq 3\text{A}$ ，噪声 $\leq 20\mu\text{VRMS}$ ；芯片 2 输入电压 2.7~5.5V，输出电流 $\geq 1\text{A}$ ，PSR $\leq -70\text{dB}$ 。授权发明专利 $\geq 3$ 项，培养博士 $\geq 3$ 名、硕士 $\geq 6$ 名。项目执行期内销售额 $\geq 8000$ 万元。

**3.组织方式：**公开竞争。

**4.申报条件：**企业牵头，鼓励产学研合作。

**5.资助强度：**拟支持 1 项，市级财政经费资助不超过 1300 万元，承担单位出资不低于 6500 万元。

**6.实施周期：**不超过 3 年。

**项目七：碳基半导体器件及其集成电路工艺关键技术研究**

**1.拟解决问题：**针对碳基 CMOS 器件与传统硅基工艺兼容性较差等问题，搭建 8 吋碳基集成电路制造工艺与设计仿真平台，开展碳基射频器件和碳基 SRAM 电路设计，研究碳纳米管 CMOS 铜互连、低电阻源漏接触、高 K 栅介质与界面控制、CMOS 阈值调控、3D 单片集成等关键工艺技术，建立碳基 CMOS 器件的标准单元库、射频模型等，研制碳基半导体器件在车联网射频前端示范验证。

**2.考核指标：**建成 8 吋 130nm 碳基集成电路工艺线，碳基 CMOS 器件栅长 $\leq 130\text{nm}$ ，器件工作电压 $\leq 2\text{V}$ ，铜互连层数 $\geq 5$ 层；碳基 6T-SRAM 存储单元集成度 $\geq 2\text{Kbits}$ （集成的晶体管数目 $\geq 20000$ ），并演示 SRAM 的基本功能；碳基射频器件截止频率 $\geq 50\text{GHz}$ ，射频功率放大器的工作频率 $\geq 5\text{GHz}$ 。培养博士、博士后等高水平人才 $\geq 3$ 人；授权发明专利 $\geq 5$ 项；建设市级及以上科技创新平台 1 项。

**3.组织方式：**公开竞争。

**4.申报条件：**企业或新型研发机构牵头，鼓励产学研合作。

**5.资助强度：**拟支持 1 项，市级财政经费资助不超过 2000 万元，承担单位出资不低于 10000 万元。

**6.实施周期：**不超过 3 年。

**项目八：先进工艺平台及工艺可靠性关键技术开发与应用**

**1.拟解决问题：**面向集成电路高精度制造、先进封装及可靠性评价等需求，研究纳米压印及 3D-TSV 封装工艺、纳米压印缺陷可控性、3D-TSV 混合互联多域融合、3D-TSV 封装芯片故障定位、风险识别、失效分析等关键技术，构建 3D-TSV 封装芯片可靠性评价体系，建设 8 吋硅光纳米压印、3D-TSV 封装工艺及技术服务平台。

**2.考核指标：**建立 1 套纳米压印硅光工艺流程，可加工的硅光器件的最小线宽 $\leq 90\text{nm}$ ，关键微结构深宽比 $\geq 2:1$ ，硅光器件数量 $\geq 5$ 种；建立 1 套 3D-TSV 先进封装工艺平台及 PDK，其中混合 Cu-RDL 布线层数 $\geq 8$ 层，大马士革布线  $S/L \leq 0.4\ \mu\text{m}/0.4\ \mu\text{m}$ ，TSV 工艺 $\geq 3$ 种规格，且深宽比 $\geq 10:1$ ，垂直传输损耗 $\leq -0.4\text{dB}@28\text{GHz}$ ，工艺 PDK 1 套，支持设计

环境 $\geq 3$ 种，模型种类 $\geq 15$ 种；开发 3D-TSV 封装芯片失效分析方法 $\geq 3$ 种。授权发明专利 $\geq 4$ 项，培养高级工程师 $\geq 4$ 人、博士 $\geq 1$ 人。项目执行期内工艺服务收入 $\geq 3000$ 万元。

**3.组织方式：**公开竞争。

**4.申报条件：**企业或新型研发机构牵头，鼓励产学研合作。

**5.资助强度：**拟支持 1 项，市级财政经费资助不超过 1600 万元，承担单位出资不低于 8400 万元。

**6.实施周期：**不超过 3 年。